

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-321343

(43)Date of publication of application : 08.12.1995

(51)Int.Cl.

H01L 29/80
H01L 21/306

(21)Application number : 06-128093

(71)Applicant : NEC CORP

(22)Date of filing : 19.05.1994

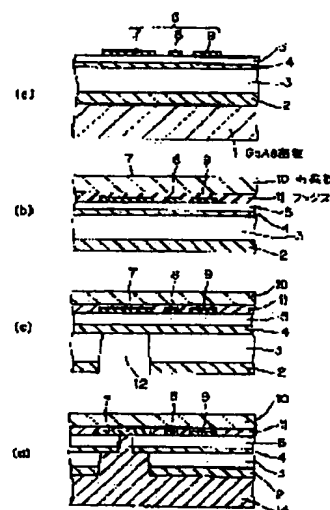
(72)Inventor : SHIMADA MASAO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To enable micromachining of via holes, reduce parasitic capacitance of transistors and wires, and form substrates with thin films with excellent reproducibility.

CONSTITUTION: A first AlGaAs etching stopper layer 2, a GaAs middle layer 3, a second AlGaAs etching stopper layer 4, and an active layer 5, are formed on a GaAs substrate 1 in this order. A MESFET 6 having a gate electrode 8 and source/drain electrodes 7, 9 is formed thereon. A quartz plate 10 is bonded to its element formation surface, and the substrate 1 is removed by polishing and etching. The etching stopper layer 2 and the middle layer 3 are selectively etched to form the larger-diameter section 12 of a via hole. The second etching stopper layer 4 and the active layer 5 are selectively etched to form the smaller-diameter section of the via hole. A back electrode 14 is formed, and the quartz plate 10 is stripped off.



DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention forms a febrile element on a compound semiconductor with low thermal conductivity especially about a semiconductor device and a manufacturing method for the same. It is related with the so-called semiconductor device of the PHS (Plated Heat Sink) structure it was made to make the heat emitted from an element radiate from the rear electrode formed in the substrate rear, and a manufacturing method for the same.

[0002]

[Description of the Prior Art] In order to raise the heat dissipation nature of the semiconductor device which was caused conventionally, especially was formed in the semiconductor substrate surface in compound semiconductors, such as bad thermally conductive GaAs, the semiconductor substrate was thin-film-ized, and forming a rear electrode (earth electrode) in a substrate rear has been performed. Since wiring resistance and inductance become low as compared with other grounding schemes, the method which forms a viahole under a source electrode and grounds a source electrode directly by this as a grounding scheme of sauce is adopted when importance is attached to a high frequency characteristic. When this viahole connection type is adopted, thin film-ization of a substrate is needed also in order to improve the covering nature in the minuteness making of a viahole, or a viahole.

[0003] Drawing 4 is a sectional view of the semiconductor device of this kind former. As shown in the figure, on GaAs substrate 1, The gate electrode 8 which the active layer 5 which consists of GaAs(es) is formed, and forms this and the Schottky barrier on this active layer, The source electrode 7 and the drain electrode 9 which contact this ohmic are provided, and MESFET (Metal Semiconductor Field Effect Transistor) 6 of GaAs is formed here. Under the source electrode 7, the viahole 13a which penetrates GaAs substrate 1 and the active layer 5 is formed.

The source electrode 7 is connected with the rear electrode 14 by the conductor embedded in this viahole.

[0004] The semiconductor device shown in drawing 4 is formed as follows. In order that GaAs substrate 1 may prevent poor generating of a substrate crack etc. in the case of element formation, in the case of the wafer of phi, 3" of things about 600 micrometers thick are used, for example. On this substrate, the active layer 5 is grown epitaxially and the source electrode 7 and the drain electrode 9 are formed by the lift-off method, respectively with the material which carries out ohmic contact of the gate electrode 8 continuously with the material which forms the Schottky barrier.

[0005] Next, the rear face of GaAs substrate 1 shall be ground and thickness shall be about 100 micrometers. Subsequently, a substrate rear is etched, 10-40 micrometers is made to thickness, further, GaAs substrate 1 and the active layer 5 under the source electrode 7 are etched selectively, and the viahole 13a is formed. Then, the rear electrode 14 is formed by vacuum evaporation and electrolytic plating of a substrate metal layer.

DESCRIPTION OF DRAWINGS**[Brief Description of the Drawings]**

[Drawing 1] The sectional view showing the semiconductor device of the 1st example of this invention.

[Drawing 2] The process sectional view for explaining the manufacturing method of the semiconductor device of the 1st example of this invention.

[Drawing 3] The sectional view showing the semiconductor device of the 2nd example of this invention.

[Drawing 4] The sectional view of the 1st conventional example.

[Drawing 5] The sectional view of the semiconductor substrate for explaining the manufacturing method of the 2nd conventional example.

[Drawing 6] The sectional view of the 3rd conventional example.

[Description of Notations]

- 1 GaAs substrate
- 2 The 1st etching blocking layer
- 2a Etching blocking layer
- 3 GaAs intermediate layer
- 4 The 2nd etching blocking layer
- 5 Active layer
- 6 MESFET
- 7 Source electrode
- 8 Gate electrode
- 9 Drain electrode
- 10 Quartz plate
- 11 Wax
- 12 The major diameter of a viahole
- 13 The narrow diameter portion of a viahole
- 13a and 13b Viahole
- 14 Rear electrode
- 15 Metal layer

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-321343

(43)公開日 平成7年(1995)12月8日

(51)Int.Cl.⁶H 0 1 L 29/80
21/306

識別記号

庁内整理番号

F I

技術表示箇所

9171-4M

H 0 1 L 29/ 80
21/ 306V
B

審査請求 有 請求項の数4 F D (全 6 頁)

(21)出願番号 特願平6-128093

(22)出願日 平成6年(1994)5月19日

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 島田 雅夫

東京都港区芝五丁目7番1号 日本電気株
式会社内

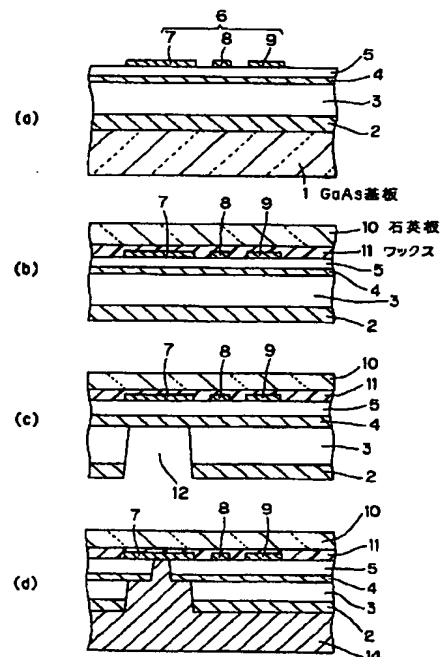
(74)代理人 弁理士 尾身 祐助

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 バイアホールを微細に加工できるようにする。トランジスタや配線の寄生容量を低減化する。基板を再現性よく薄膜化する。

【構成】 GaAs基板1上に、AlGaAsの第1のエッチング阻止層2、GaAs中間層3、AlGaAsの第2のエッチング阻止層4、活性層5を形成し、ゲート電極8、ソース・ドレイン電極7、9を有するMESFET6を形成する〔(a)図〕。素子形成面に石英板10を貼り付け、基板1を研磨およびエッチングにより除去する〔(b)図〕。エッチング阻止層2、中間層3を選択的にエッチングしてバイアホールの大径部12を形成する〔(c)図〕。第2のエッチング阻止層4、活性層5を選択的にエッチングしてバイアホールの小径部13を形成し、裏面電極14を形成する〔(d)図〕。石英板10を剥離する。



【特許請求の範囲】

【請求項 1】 表面にソース電極、ドレイン電極およびゲート電極を有するトランジスタが形成され、ソース電極下に小径のバイアホールが形成された活性層と、前記活性層下に形成され、該活性層と同じ位置に小径のバイアホールが形成された第 2 のエッチング阻止層と、前記第 2 のエッチング阻止層下に形成され、前記ソース電極下に大径のバイアホールが形成された半導体中間層と、前記半導体中間層下に形成され、該半導体中間層と同じ位置に大径のバイアホールが形成された第 1 のエッチング阻止層と、前記第 1 のエッチング阻止層の下面の少なくとも前記トランジスタ下の領域を覆うように形成され、前記小径のバイアホールおよび前記大径のバイアホールを介して前記ソース電極に接続された裏面電極と、を備えたことを特徴とする半導体装置。

【請求項 2】 前記第 1 のエッチング阻止層下には前記トランジスタ下に開口を有する半導体基板が設けられ、該半導体基板裏面には、前記第 1 のエッチング阻止層の前記トランジスタ下の裏面に形成された裏面電極と一体的に形成された裏面電極が延在していることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記活性層および前記半導体中間層が GaAs により形成され、前記第 1 および第 2 のエッチング阻止層が AlGaAs により形成され、かつ、前記第 1 のエッチング阻止層の Al 組成比が前記第 2 のエッチング阻止層のそれより高いことを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 (1) 半導体基板上に第 1 のエッチング阻止層、半導体中間層、第 2 のエッチング阻止層および活性層を順次成長させる工程と、(2) 前記活性層上にゲート電極、ソース電極およびドレイン電極を形成してトランジスタを形成する工程と、(3) 前記第 1 のエッチング阻止層をストップとしてエッチングを行い、少なくとも前記トランジスタ下の前記半導体基板を除去する工程と、(4) 前記ソース電極下の前記第 1 のエッチング阻止層および前記半導体中間層を選択的に除去して前記第 2 のエッチング阻止層の下面を露出させる大径のバイアホールを形成する工程と、(5) 前記ソース電極下の前記第 2 のエッチング阻止層および前記活性層を選択的に除去して前記ソース電極の下面を露出させる小径のバイアホールを形成する工程と、(6) 前記第 1 のエッチング阻止層の下面に、前記大径のバイアホールおよび前記小径のバイアホールを介して前記ソース電極に接続される裏面電極を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置およびその

製造方法に関し、特に、発熱性の素子を熱伝導率の低い化合物半導体上に形成し、素子から放出される熱を基板裏面に形成された裏面電極より放散させるようにした、いわゆる PHS (Plated Heat Sink) 構造の半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】 従来より、特に熱伝導性の悪い GaAs 等の化合物半導体においては、半導体基板表面に形成された半導体素子の放熱性を向上させるために半導体基板を薄膜化し、基板裏面に裏面電極（接地電極）を形成することが行われてきた。また、ソースの接地方式として、ソース電極下にバイアホールを形成しこれによりソース電極を直接接地する方式は他の接地方式と比較して配線抵抗およびインダクタンスが低くなることから、高周波特性が重要視される場合に採用されている。このバイアホール接続方式が採用される場合、基板の薄膜化は、バイアホールの微細化やバイアホールでの被覆性を改善するためにも必要となる。

【0003】 図 4 は、この種従来の半導体装置の断面図である。同図に示されるように、GaAs 基板 1 上には、GaAs からなる活性層 5 が形成され、該活性層上にはこれとショットキー接合を形成するゲート電極 8 と、これとオーミックに接触するソース電極 7 およびドレイン電極 9 が設けられ、ここに GaAs の MESFET (Metal Semiconductor Field Effect Transistor) 6 が形成されている。ソース電極 7 下には、GaAs 基板 1 および活性層 5 を貫通するバイアホール 13a が設けられており、該バイアホール内に埋め込まれた導電体によりソース電極 7 は裏面電極 14 と接続されている。

【0004】 図 4 に示された半導体装置は、次のように形成される。GaAs 基板 1 は、素子形成の際に基板割れ等の不良発生を防ぐために、例えば 3" φ のウェハの場合 600 μm 程度の厚さのものが用いられる。この基板上に活性層 5 をエピタキシャル成長させ、ショットキー接合を形成する材料にてゲート電極 8 を、続いてオーミック接触する材料にてソース電極 7、ドレイン電極 9 をそれぞれリフトオフ法にて形成する。

【0005】 次に、GaAs 基板 1 の裏面を研磨して厚さを 100 μm 程度とする。次いで、基板裏面をエッチングして厚さを 10~40 μm に仕上げ、さらに、ソース電極 7 下の GaAs 基板 1 および活性層 5 を選択的にエッチングしてバイアホール 13a を形成する。続いて、下地金属層の蒸着および電解メッキにより裏面電極 14 を形成する。

【0006】 上述のようにして形成された半導体装置では、基板裏面の研磨およびエッチング工程における面内均一性が低いために、基板厚さのばらつきが例えば基板の厚さ程度と極めて大きくなり、そのため放熱特性のばらつき延いては素子特性のばらつきが大きくなる。この点に対処したものとして、特開昭 61-168966 号

公報には、GaAs基板上にエッチング阻止層を設けその上に活性層を設ける手法が提案されている。

【0007】すなわち、図5に示すように、GaAs基板1上にAlGaAsからなるエッチング阻止層2aを形成し、その上に活性層5を形成する。しかる後、活性層5上にトランジスタを形成し、GaAs基板1またはGaAs基板およびエッチング阻止層2aを研磨およびエッチングにより除去する。この方法によれば、基板のエッチング時にGaAs基板とエッチング阻止層とのエッチング速度の違いを利用して、エッチングをこのエッチング阻止層で自動的に停止させることができるため、残存基板の膜厚を正確にコントロールすることができる。

【0008】また、特開平3-62930号公報には、GaAs基板と活性層間にエッチング阻止層を設け、バイアホールを基板表面側より形成する技術が提案されている。この従来例では、図5に示すようにエピタキシャル基板を形成した後、図6に示すように、活性層上にMESFET6を形成する。しかる後、基板表面より、エッチング阻止層2aをストッパとして選択的エッチングを行ってバイアホール13bを形成する。バイアホール13bに金属層15を形成した後、再びエッチング阻止層2aをストッパとする基板エッチングを行って、MESFET6下のエッチング阻止層2aの裏面側を露出させ、続いてこの部分のエッチング阻止層をエッチング除去し、常法により裏面電極14を形成する。

【0009】

【発明が解決しようとする課題】近年、応用機器の軽少短薄化の傾向に従ってMESFETについても小型化が求められている。而して、バイアホール接続方式を採用するMESFETにおいては、素子の微細化のためには基板の薄膜化が必須の要件となる。基板が厚い場合、例えば、湿式でバイアホールを形成する場合、開口の横方向の広がりが大きくなりまたマージンを大きくとらなければならないためソース電極を大きくせざるを得なくなるからであり、また、異方性の高いドライ法でバイアホールを形成する場合、アスペクト比が高くなり、被覆性の悪化によりバイアホール内にボイドが発生することになるからである。

【0010】一方、ソース電極形成個所を除くトランジスタ形成領域の基板厚さについては、放熱の観点からは薄い程有利である。しかし、広い面積にわたって薄膜化した場合には基板の強度が落ち半導体素子部にクラックが生じてしまうことになり、また、トランジスタの接地容量が増加して高速動作が阻害される。特に、MMIC (Monolithic Microwave IC) では、配線の寄生容量の増加の影響が加わり特性が著しく劣化する。よって、基板厚さはバイアホール部とそれ以外の活性領域で異なる膜厚とすることが望ましいが、上述したエッチング阻止層を活性層下に設けた従来例ではこの要求に応えることは

できなかった。

【0011】本発明は、この点に鑑みてなされたものであって、その目的とするところは、基板厚さの均一性、再現性を確保するとともに、バイアホール部での基板厚さとそれ以外の領域の基板厚さを独立にコントロールできるようにして、バイアホールの微細化と、基板の機械的強度の改善および寄生容量の削減を同時に達成するようにすることである。そして、このことにより、小型で高周波特性にすぐれた半導体装置を再現性よく製造できるようにしようとするものである。

【0012】

【課題を解決するための手段】上記目的を達成するため、本発明によれば、表面にソース電極(7)、ドレイン電極(9)およびゲート電極(8)を有するトランジスタ(6)が形成され、ソース電極下に小径のバイアホール(13)が形成された活性層(5)と、前記活性層下に形成され、該活性層と同じ位置に小径のバイアホールが形成された第2のエッチング阻止層(4)と、前記第2のエッチング阻止層下に形成され、前記ソース電極下に大径のバイアホール(12)が形成された半導体中間層(3)と、前記半導体中間層下に形成され、該半導体中間層と同じ位置に大径のバイアホールが形成された第1のエッチング阻止層(2)と、前記第1のエッチング阻止層の下面の少なくとも前記トランジスタ下の領域を覆うように形成され、前記小径のバイアホールおよび前記大径のバイアホールを介して前記ソース電極に接続された裏面電極(14)と、を備えた半導体装置、が提供される。

【0013】また、本発明によれば、(a)半導体基板(1)上に第1のエッチング阻止層(2)、半導体中間層(3)、第2のエッチング阻止層(4)および活性層(5)を順次成長させる工程と、(b)前記活性層上にゲート電極(8)、ソース電極(7)およびドレイン電極(9)を形成してトランジスタ(6)を形成する工程と、(c)前記第1のエッチング阻止層をストッパとしてエッチングを行い、少なくとも前記トランジスタ下の前記半導体基板を除去する工程と、(d)前記ソース電極下の前記第1のエッチング阻止層および前記半導体中間層を選択的に除去して前記第2のエッチング阻止層の下面を露出させる大径のバイアホール(12)を形成する工程と、(e)前記ソース電極下の前記第2のエッチング阻止層および前記活性層を選択的に除去して前記ソース電極の下面を露出させる小径のバイアホール(13)を形成する工程と、(f)前記第1のエッチング阻止層の下面に、前記大径のバイアホールおよび前記小径のバイアホールを介して前記ソース電極に接続される裏面電極(14)を形成する工程と、を有する半導体装置の製造方法、が提供される。

【0014】

【実施例】次に、本発明の実施例について図面を参照し

5

て説明する。図1は、本発明の第1の実施例の半導体装置の断面図である。同図に示されるように、半導体基板は、 $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ からなる膜厚 $1\mu\text{m}$ の第1のエッチング阻止層2、膜厚 $30\mu\text{m}$ の GaAs 中間層3、 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ からなる膜厚 $0.5\mu\text{m}$ の第2のエッチング阻止層4および GaAs からなる膜厚 $0.5\mu\text{m}$ の活性層5の4層の半導体層によって形成されている。活性層5上には、これとショットキー接合を形成するゲート電極8と、活性層にオーミックに接触するソース電極7およびドレイン電極9が形成され、ここにMESFET6が形成されている。ソース電極7下には、 $30\mu\text{m}\phi$ の大径部12と $5\mu\text{m}\phi$ の小径部13を有するバイアホールが形成され、基板裏面には、バイアホール(12、13)を介してソース電極7と接続された裏面電極14が形成されている。

【0015】このように構成された半導体装置では、バイアホールの小径部13の形成される部分の基板厚さとそれ以外の部分の基板厚とを独立に設定することができるため、小径のバイアホールの形成される部分の基板(4、5)の厚さを十分に薄くして、金属膜形成時におけるボイドの発生を防止しつつバイアホールの小径化を実現することができ、また、それ以外の領域の基板厚を機械的強度を損なわれることなく、かつ、寄生容量が特性に大きく影響を与えない厚さに選択することが可能となる。よって、本実施例により、小型で高周波特性に優れた半導体装置を歩留り高く製造することができるようになる。

【0016】次に、図2を参照して、図1に示された半導体装置の製造方法について説明する。なお、図2

(a)～(d)は、第1の実施例の半導体装置の製造方法を工程順に示した工程断面図である。まず、図2

(a)に示すように、 $600\mu\text{m}$ の厚さを持つ GaAs 基板1上にMOCVD(Metal Organic Chemical Vapor Deposition)法を用いて、第1のエッチング阻止層2として $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ 層を $1.0\mu\text{m}$ の厚さに形成した後、 GaAs を $30\mu\text{m}$ の膜厚に成長させて GaAs 中間層3を形成する。

【0017】さらに、第2のエッチング阻止層4として $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層を $0.5\mu\text{m}$ の厚さに形成した後、 n 型不純物として Si が $1\times 10^{17}\text{cm}^{-3}$ 程度にドーパされた GaAs を $0.5\mu\text{m}$ の膜厚に成長させて活性層5とする。次に、ショットキー性金属の蒸着とリフトオフによりゲート電極8を形成し、引き続き、オーミック性金属の蒸着とリフトオフによりソース電極7とドレイン電極9を形成して、MESFET6を作製する。

【0018】次に、図2(b)に示すように、MESFET6が形成された面をワックス11を用いて石英板10に貼り付ける。しかる後、 GaAs 基板1の裏面を機械的な研磨方法を用いて $80\mu\text{m}$ の厚さにする。この後、基板1を石英板10に貼り付けたままアンモニアと

6

過酸化水素水を用いて第1のエッチング阻止層2まで基板1のエッチングを行う。アンモニアと過酸化水素水との混合液によるエッチングは、 Al の組成比が0.4の $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ 層では速度が遅く、 GaAs 基板1のエッチング後、第1のエッチング阻止層2でほぼ停止する。

【0019】次に、図2(c)に示すように、第1のエッチング阻止層2を、バイアホール形成領域に $30\mu\text{m}\phi$ の開口の形成されたエッチング保護膜で覆い、塩素化合物ガスを用いたプラズマエッチングにより $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ 層(第1のエッチング阻止層2)を、続いて塩素およびフッ素化合物の混合ガスを用いたプラズマエッチングにより GaAs 中間層3をそれぞれ選択的に除去して、バイアホールの大径部12を形成する。このときのエッチングは第2のエッチング阻止層4が露出するとはほぼ停止する。

【0020】次に、図2(d)に示すように、小径のバイアホール形成領域に $5\mu\text{m}\phi$ の開口を有するエッチング保護膜で基板裏面を覆い、図2(c)の工程におけるエッチングと同様のプラズマエッチングにより、第2のエッチング阻止層4と活性層5とをそれぞれ選択的にエッチング除去して、ソース電極7の裏面を露出させるバイアホールの小径部12を形成する。エッチング保護膜を除去した後、裏面全面に $\text{Ti}/\text{Pt}/\text{Au}$ をそれぞれスパッタ法により付着させ、裏面全面に $50\mu\text{m}$ の膜厚に Au をメッキして裏面電極14を形成する。

【0021】最後に、基板表面に貼り付けた石英板10を加熱したトリクロルエチレン中で剥離すると図1に示すPHS構造の半導体装置が得られる。なお、上記実施例において、第1のエッチング阻止層の Al の組成比を第2のエッチング阻止層のそれより大きくしたのは、第1のエッチング阻止層の方が厚い GaAs 層のエッチングストップパとして機能しているからであり、また、第2のエッチング阻止層の Al の組成比を低く抑えることによりこの層を活性層に対するバッファ層として機能させることができるからである。

【0022】図3に、本発明の第2の実施例の半導体装置の断面図を示す。図3に示す実施例の製造工程では、図2に示した第1の実施例に対する製造方法と同様にエッチングを行なうが、図2(b)の工程において、 GaAs 基板1を $80\mu\text{m}$ の厚さまで機械研磨を行った後、石英板に貼り付けずにMESFET6とバイアホールの形成される領域の基板のみをエッチング除去することにより他の領域の半導体基板の厚さを厚く保った構造としている。本実施例においては、 GaAs 基板1は $80\mu\text{m}$ の厚さがあるため、石英板に貼り付けることなしに基板裏面に電極を形成することができる。本実施例によれば、発熱性のFET部および微細加工を必要とするバイアホール部を薄くして放熱性と微細加工性を確保するとともに、配線の対地容量を低減化することができるの

で、周波数特性に優れたMMICを構成することが可能になる。

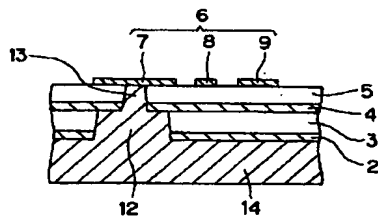
【0023】以上好ましい実施例について説明したが、本発明はこれら実施例に限定されるものではなく、本願発明の要旨を逸脱しない範囲内において各種の変更が可能である。例えば、実施例では、半導体層の成膜をMOCVD法により行っていたが、これに代え、MBE (Molecular Beam Epitaxy) 法等他の成膜技術を用いることができ、また、エッチング法も実施例におけるガス以外のガスを用いて行うことができさらにプラズマエッチング法以外のエッチング方法を採用することもできる。

【0024】

【発明の効果】以上説明したように、本発明は、半導体基板上に、第1のエッチング阻止層、半導体中間層、第2のエッチング阻止層および活性層を成膜し、半導体基板を除去するものである。第1のエッチング阻止層を利用することにより発熱性のMESFET部の基板を基板の強度が低下しない程度にまで、また寄生容量の許容範囲内において独立に薄膜化することができ、またバイアホールのように微細加工が必要な部分は第2のエッチング阻止層を設けることにより他の領域の基板の厚さとは独立に微細加工可能な厚さにまで薄膜化することが可能となる。したがって、本発明によれば、小型で放熱性、高周波特性に優れた半導体装置を提供することが可能となり、高周波、高出力のICを製造するのに有利な手段を提供することができる。

【図面の簡単な説明】

【図1】



- | | |
|---------------|---------------|
| 2…第1のエッチング阻止層 | 8…ゲート電極 |
| 3…GaAs中間層 | 9…ドレイン電極 |
| 4…第2のエッチング阻止層 | 12…バイアホールの大径部 |
| 5…活性層 | 13…バイアホールの小径部 |
| 6…MESFET | 14…裏面電極 |
| 7…ソース電極 | |

【図1】本発明の第1の実施例の半導体装置を示す断面図。

【図2】本発明の第1の実施例の半導体装置の製造方法を説明するための工程断面図。

【図3】本発明の第2の実施例の半導体装置を示す断面図。

【図4】第1の従来例の断面図。

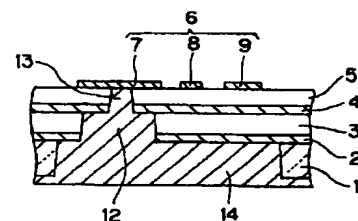
【図5】第2の従来例の製造方法を説明するための半導体基板の断面図。

【図6】第3の従来例の断面図。

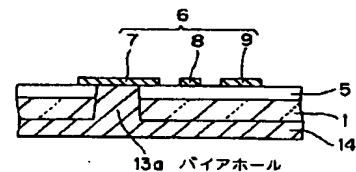
【符号の説明】

- 1 GaAs基板
- 2 第1のエッチング阻止層
- 2a エッチング阻止層
- 3 GaAs中間層
- 4 第2のエッチング阻止層
- 5 活性層
- 6 MESFET
- 7 ソース電極
- 8 ゲート電極
- 9 ドレイン電極
- 10 石英板
- 11 ワックス
- 12 バイアホールの大径部
- 13 バイアホールの小径部
- 13a、13b バイアホール
- 14 裏面電極
- 15 金属層

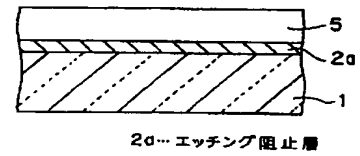
【図3】



【図4】



【图 5】



13b...パイアホール
15...金層